

# ALPHA15 User Guide



## はじめに

### 警告

ALPHA15の電源は、接続または取り外しの前に必ずオフにしてください：

- ・ マイクロSDカード
- ・ 拡張コネクタ上の周辺機器

## ボードの電源を入れる

まず、マイクロSDカードをマイクロSDスロットに挿入します。次に電源の12Vジャックを接続します。パワーグッド緑色LED (PWGD) とFPGA doneオレンジ色LED (DONE) は、システムが正しく起動したことを示します。

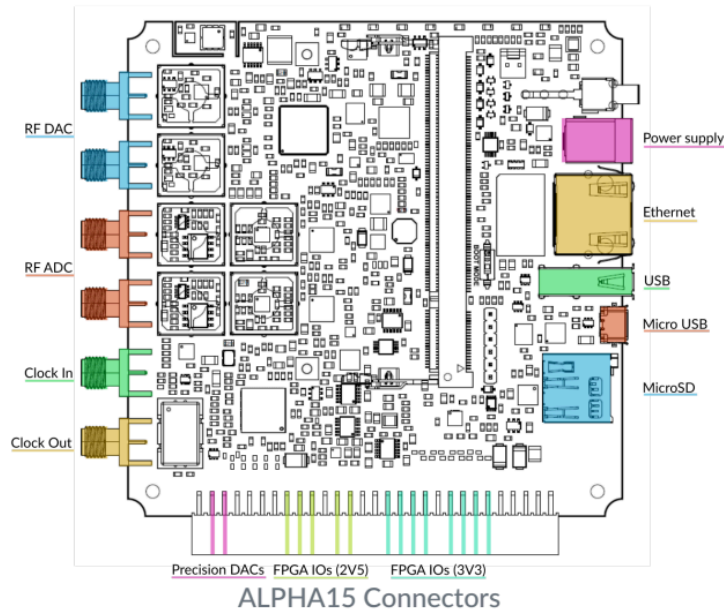
## ボードLANとの通信

イーサネットポートはALPHA15との主な通信インターフェースです。ルーターを経由してローカルネットワークに接続することも、コンピューターに直接接続することもできます。IPアドレスの最後の8ビットが8つのユーザーLEDに表示されます。

## シリアルインターフェース

シリアル UART デバッグインターフェースはマイクロ USB コネクタからアクセスできます。必要な手順は[ここ](#)で説明します。

## コネクタ



### 12V外部電源

外部電源コネクタは、センターピン1.95 mm、外径6 mmのジャックです。このコネクタには12 Vのみを供給する必要があります。ALPHA15を動作させるには少なくとも1 Aが必要です。拡張コネクタの負荷によっては、それ以上の電流が必要になる場合があります。最大電流は3Aです（電子ヒューズで保護されています）。

### USB 2.0

USB2.0ホストコネクタです。5Vで最大1Aの電流を供給します（拡張コネクタの5V電源と共有）。電源ピンとデータピンはESD保護されています。

### マイクロUSB 2.0

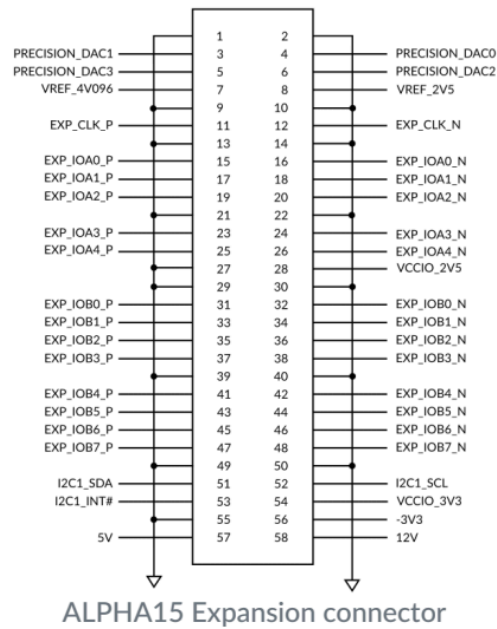
FTDI デバイスを介して UART0 PS コアに接続します。デバッグ用シリアル・インターフェースとして使用されます。電源ピンとデータピンはESD保護されている。

### ギガビットイーサネット

ALPHA15は10/100/1000Mbitイーサネットに対応しています。

### MicroSDカード

MicroSDカードはレベルシフターを介してSD0 PSコアに接続されています。SDカードI/OはESD保護されています。

**拡張コネクタ**


内容は以下の通り：

- ・ 電源 外部電源から12 V。5 V 最大1 A（USB 2.0コネクタと共用）。800 mAまでの+3.3 V、バンク35のI/O供給と連動。最大500 mAの-3.3V。50 mAまでの+2.5 V、バンク34のI/O供給と連動。
- ・ 割り込み付き専用I2CバスI2C1。
- ・ 10シングルエンドまたは5差動I/O EXP\_IOAx。これらはFPGAバンク34に接続されています。電圧レベルは2.5V。すべてのI/OはESD保護されています。警告 これらのピンはZynq SoCに直接接続されているため、電圧コンプライアンスと電源シーケンシングの両方のために、このピンから駆動する必要があります。これらのピンに準拠しないVCCIO\_2V5電圧を印加すると、SoCが故障する可能性があります。
- ・ 16シングルエンドI/O EXP\_IJOBx。FPGAバンク35に接続されています。電圧レベルは3.3V。すべてのI/OはESD保護されています。警告：これらのピンはZynq SoCに直接接続されており、電圧コンプライアンスと電源シーケンシングの両方でVCCIO\_3V3から駆動する必要があります。これらのピンに準拠しない電圧を印加すると、SoCが故障する可能性があります。
- ・ クロッキング・サブシステムEXP\_CLKからの1つのLVDSクロック。
- ・ 4.096Vと2.5Vの2つの電圧リファレンス。このリファレンスは、データ・コンバータのリファレンスとの間でレシオメトリック・トラッキングを行います。
- ・ 4つの高精度DAC出力。16ビット高精度DACからの出力。

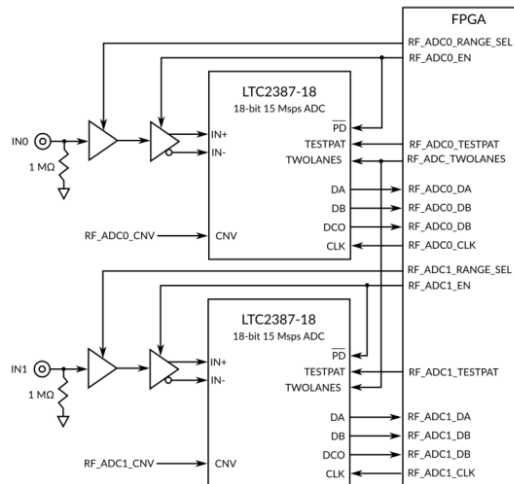
## サブシステム ADC (18ビット、15Mps)

ALPHA15は、2つの高速 (15Mps)、高分解能 (18ビット) ADC (アナログ・デバイスLTC2387-18) を内蔵しています。

ADC 入力は SMA コネクタに IN0 と IN1 と表示されています。入力は DC 結合され、1MΩ で終端されています。

入力は、絶対最大入力電圧を±8 V に制限する過渡電圧サプレッサによって保護されています。

入力レンジは RF\_ADCx\_RANGE\_SEL 信号で選択できます (0 = 2 Vpp / 1 = 8 Vpp)。



ALPHA15 ADC front-end and interface

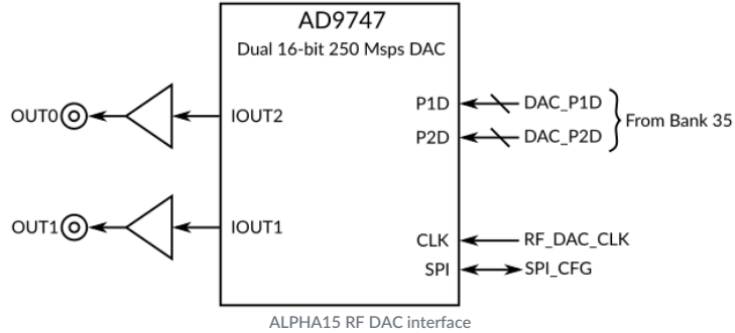
ADC0 と ADC1 の ALPHA15 エンコード・クロックはそれぞれクロック・システム出力 RF\_ADC0\_CNV と RF\_ADC1\_CNV から供給されます。

ADC は FPGA の I/O バンク 34 (2.5Vロジック) にインターフェースされる。転送プロトコルは (LTC2387-18)に記載されています。

## RF DAC

RF デジタル・アナログ・コンバーターには 2 つの出力があり、分解能は 16 ビット、最大サンプリング・レートは 250 Msps です (Analog Devices AD9747)。出力のラベルは OUT0 と OUT1 で、SMA コネクタに付いています。出カインピーダンスは 50Ω です。出力は、 $\pm 8V$  を超える過電圧をクランプする過渡電圧サプレッサで保護されています。

出力レンジは、50Ω 負荷で最大 1.5V pp です。これは、コンフィギュレーション SPI バスの DAC ゲインを使用して調整できます。デフォルト設定では、DAC は 50Ω 負荷で 1V pp を出力します。



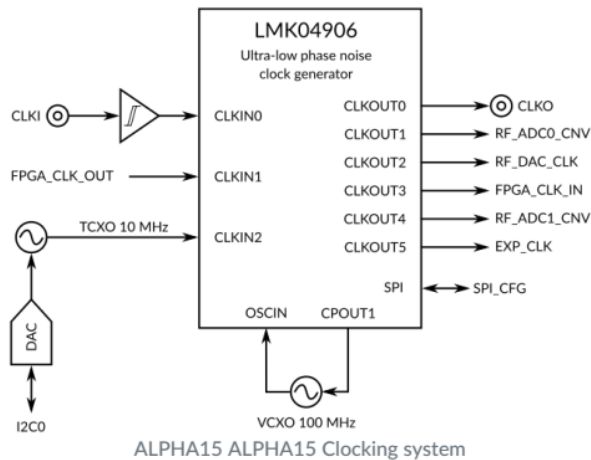
DAC のサンプリングクロックは、クロッキングシステムの RF\_DAC\_CLK から供給されます。入力データ・ラインは FPGA の I/O バンク 35 にインターフェースされています。これは 3.3V の 32 本のシングルエンド・ラインで構成されます。

RF DAC はコンフィギュレーション SPI バスで設定される。対応する C++ ドライバーのソースコードは Github にあります。

## クロッキング

クロッキング・システムは、超低位相ノイズ・クロック・ジェネレーター（Texas Instruments LMK04906）を中心に構成されています。デュアルPLLセットアップが使用されている。最初のループは、超低位相ノイズVCXO（ABLNO-V-100.000MHz）を基準クロックにロックします。これは基準クロックの位相ノイズ・クリーナーとして機能します。

2番目のループは、LMK04906内蔵VCO（2.37~2.6GHz）をVCXOにロックします。クロック分周器により、希望の周波数で最大6つのクロックを生成できます。



クロック・ジェネレータは10MHzの基準クロックを受け入れるように設計されています。

基準クロックソースは以下の通りです：

- ・ 基板上的CLKI SMA入力。最大2.5 V pp (10 dBm)のAC電圧を受け入れる50 Ωインピーダンス入力。オンボードの高精度高速コンパレータ（890 Mbps）により、効果的なクロック・リカバリが可能。ESD保護されています。
- ・ FPGAが提供するクロックでシステムを規律するためのFPGA\_CLK\_OUT信号。
- ・ オンボード10MHz温度補償電圧制御水晶発振器（TCVCXO）。この水晶発振器は、産業用温度範囲（-40 ~+85 °C）で±280ppbという高い安定性を持っています。エージングは最大で年間±1ppm。I2C0バスから制御されるDACを使用して、周波数を精密に調整することができます。

クロック・ジェネレーターは以下のクロックを生成します：

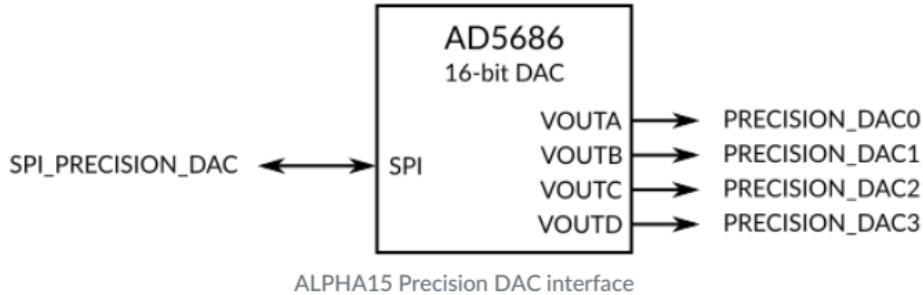
- ・ CLKO SMA出力で利用可能なLVCMOSクロック。この出力はESD保護されています。
- ・ LVDS信号として分配されるRF ADC サンプリング・クロック RF\_ADCx\_CNV。
- ・ LVDS信号として分配されるRF DACサンプリングクロックRF\_DAC\_CLK。
- ・ FPGA\_CLK\_INはFPGA上のLVDS入力クロックです。
- ・ EXP\_CLKは拡張コネクタのLVDSクロックです。

クロック・ジェネレーターは、クロック・ジェネレーター・ドライバーを経由して、コンフィギュレーションSPIバスで設定されます。

## 高精度DAC

高精度DACは4チャンネル、16ビットDAC（アナログ・デバイセズAD5686）です。

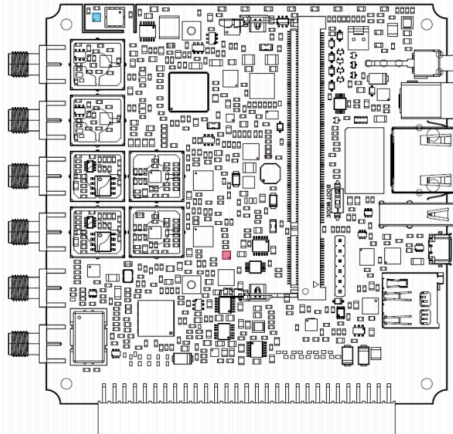
出力電圧範囲は0~2.5Vで、1チャンネルあたり最大20mAを供給できる出力バッファを備えています。出力はESD保護されています。



4つの出力チャンネルは、拡張コネクタで利用できます。高精度DACとの通信は、PrecisionDacドライバーを介して専用のSPIバスで行われます。

## 温度センサー

ALPHA15には、-10 °C~+85 °Cで±0.2 °Cの精度を持つ2つの高精度温度センサー（TMP116）が搭載されています。1つのセンサーは、高精度測定における温度補正を可能にするため、電圧リファレンス（青で強調表示）の近くに配置されています。もう1つは、クロック・ジェネレーターとRF ADCの間に配置され、基板上で最も高温になるポイント（赤で強調表示されたT1）に近いです。



ALPHA15 Temperature sensors. Voltage reference in blue, board in red

Zynq温度T2もFPGA上のXADCを使用してモニターされます。TemperatureSensorドライバーを使用すると、上記の3つの温度を取得できます。信頼性の高い動作のためには、T1 < 70 °C、T2 < 85 °Cであることを確認してください。

## 電源モニター

ALPHA15には、2つのパワーモニター（Texas Instruments INA230）が搭載されています。外部12V電源とクロッキングサブシステム電源の2つのレールがモニタされる。どちらの場合も、電流シャント抵抗は10mΩです。両方の電源モニターは、PowerMonitorドライバーを介してI2C0バスからアクセス可能です。

## EEPROM

ALPHA250は64kbit EEPROM (Microchip 24AA64T-I/MC)を搭載しています。これは、Eepromドライバを介してI2C0バスでアクセス可能です。

EEPROMは2つの部分に分かれています。下位アドレスは、Koheronが識別データと校正データを格納するために使用します。上位アドレス（0x1000以上）はユーザー・アプリケーション用です。EEPROMマップ・アドレッシングは下表に示されています。

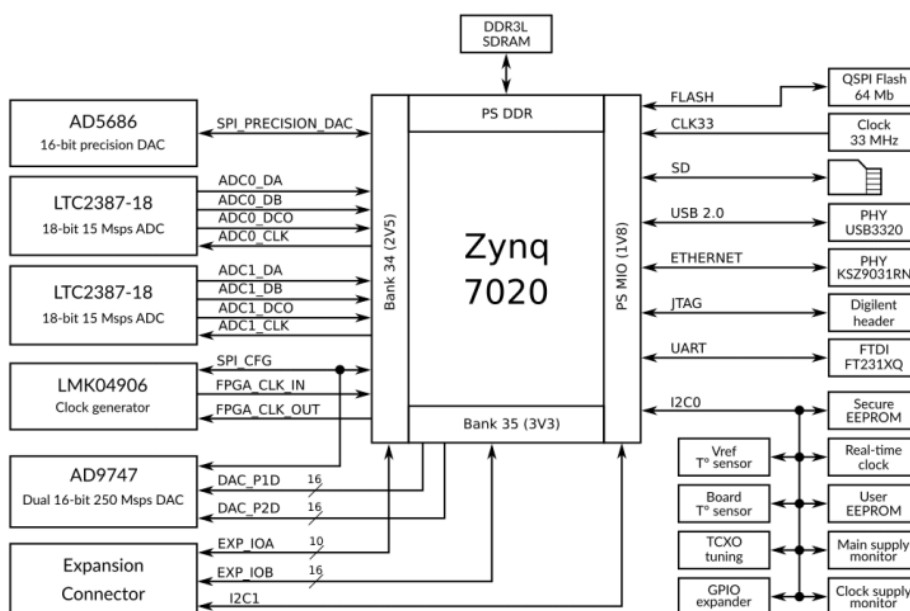
Description	Offset	Range
Identifications	0x000	0x100
Precision DAC	0x100	0x100
RF ADC channel 0	0x200	0x100
RF ADC channel 1	0x300	0x100
Clock generator	0x400	0x100
RF DAC channel 0	0x500	0x100
RF DAC channel 1	0x600	0x100
User application	0x1000	0x100

ALPHA15 EEPROM map addressing

## Zynq I/O

Zynq XC7Z020-2CLG400Iには、プログラマブル・ロジック用のI/Oバンクが2つあり（バンク34と35）、それぞれ48 IOを備えています。

1つのバンク（バンク0）は、多重化I/O（MIO）インターフェースを備えた処理システム専用です。ペリフェラルとインターフェース・バスのセットを以下に示します。



ALPHA15 Zynq peripherals and communication buses

I/O制約はports.xdcファイルで定義されます。

## ADCデータ・バス

RF ADC は LVDS データ・バスによってバンク 34 にインターフェースされています。デフォルトでは、LTC2367コアは2レーン出力モードで動作し、データは2本のラインDA（奇数ビット用）とDB（偶数ビット用）で転送されます。

```
# RF ADC0 (Bank 34)
# Clock output
set_property IOSTANDARD LVDS_25 [get_ports adc0_clk*]
set_property PACKAGE_PIN P20 [get_ports adc0_clk_out_n]
set_property PACKAGE_PIN N20 [get_ports adc0_clk_out_p]

# Data inputs
set_property IOSTANDARD LVDS_25 [get_ports adc0_d*]
set_property DIFF_TERM TRUE [get_ports adc0_d*]

set_property PACKAGE_PIN P18 [get_ports adc0_db_n]
set_property PACKAGE_PIN N17 [get_ports adc0_db_p]
set_property PACKAGE_PIN W20 [get_ports adc0_da_n]
set_property PACKAGE_PIN V20 [get_ports adc0_da_p]
set_property PACKAGE_PIN U20 [get_ports adc0_dco_n]
set_property PACKAGE_PIN T20 [get_ports adc0_dco_p]

# Control pins
set_property IOSTANDARD LVCMOS25 [get_ports adc0_ctl*]

set_property PACKAGE_PIN V15 [get_ports adc0_ctl_range_sel]
set_property PACKAGE_PIN Y19 [get_ports adc0_ctl_twolanes]
set_property PACKAGE_PIN W18 [get_ports adc0_ctl_testpat]
set_property PACKAGE_PIN W19 [get_ports adc0_ctl_en]

# RF ADC1 (Bank 34)

# Clock output
set_property IOSTANDARD LVDS_25 [get_ports adc1_clk*]

set_property PACKAGE_PIN P19 [get_ports adc1_clk_out_n]
set_property PACKAGE_PIN N18 [get_ports adc1_clk_out_p]

# Data inputs
set_property IOSTANDARD LVDS_25 [get_ports adc1_d*]
set_property DIFF_TERM TRUE [get_ports adc1_d*]

set_property PACKAGE_PIN T15 [get_ports adc1_db_n]
set_property PACKAGE_PIN T14 [get_ports adc1_db_p]
set_property PACKAGE_PIN U17 [get_ports adc1_da_n]
set_property PACKAGE_PIN T16 [get_ports adc1_da_p]
set_property PACKAGE_PIN P16 [get_ports adc1_dco_n]
set_property PACKAGE_PIN P15 [get_ports adc1_dco_p]

# Control pins
set_property IOSTANDARD LVCMOS25 [get_ports adc1_ctl*]

set_property PACKAGE_PIN W15 [get_ports adc1_ctl_range_sel]
set_property PACKAGE_PIN Y17 [get_ports adc1_ctl_testpat]
set_property PACKAGE_PIN Y18 [get_ports adc1_ctl_en]
```

## RF DACパラレルバス

RF DAC は、LVCMOS 3V3 パラレルバスによってバンク 35 とインターフェースされている。各チャンネルのデータは 16 ラインのサブバスで転送されます。コンフィギュレーションは、コンフィギュレーションSPIバスを介して実行されます。

```
# RF DAC
```

```
set_property IOSTANDARD LVCMOS33 [get_ports dac_*]
set_property DRIVE 8 [get_ports dac_*]
```

```
# Channel 0
```

```
set_property PACKAGE_PIN D18 [get_ports {dac_0[0]}]
set_property PACKAGE_PIN E17 [get_ports {dac_0[1]}]
set_property PACKAGE_PIN E19 [get_ports {dac_0[2]}]
set_property PACKAGE_PIN E18 [get_ports {dac_0[3]}]
set_property PACKAGE_PIN A20 [get_ports {dac_0[4]}]
set_property PACKAGE_PIN B19 [get_ports {dac_0[5]}]
set_property PACKAGE_PIN F17 [get_ports {dac_0[6]}]
set_property PACKAGE_PIN F16 [get_ports {dac_0[7]}]
set_property PACKAGE_PIN B20 [get_ports {dac_0[8]}]
set_property PACKAGE_PIN C20 [get_ports {dac_0[9]}]
```

```
set_property PACKAGE_PIN L17 [get_ports {dac_0[10]}]
set_property PACKAGE_PIN L16 [get_ports {dac_0[11]}]
set_property PACKAGE_PIN D20 [get_ports {dac_0[12]}]
set_property PACKAGE_PIN D19 [get_ports {dac_0[13]}]
set_property PACKAGE_PIN G18 [get_ports {dac_0[14]}]
set_property PACKAGE_PIN G17 [get_ports {dac_0[15]}]
```

```
# Channel 1
```

```
set_property PACKAGE_PIN F20 [get_ports {dac_1[0]}]
set_property PACKAGE_PIN F19 [get_ports {dac_1[1]}]
set_property PACKAGE_PIN J16 [get_ports {dac_1[2]}]
set_property PACKAGE_PIN K16 [get_ports {dac_1[3]}]
set_property PACKAGE_PIN G20 [get_ports {dac_1[4]}]
set_property PACKAGE_PIN G19 [get_ports {dac_1[5]}]
set_property PACKAGE_PIN K18 [get_ports {dac_1[6]}]
set_property PACKAGE_PIN K17 [get_ports {dac_1[7]}]
set_property PACKAGE_PIN H20 [get_ports {dac_1[8]}]
set_property PACKAGE_PIN J20 [get_ports {dac_1[9]}]
set_property PACKAGE_PIN M18 [get_ports {dac_1[10]}]
set_property PACKAGE_PIN M17 [get_ports {dac_1[11]}]
set_property PACKAGE_PIN H18 [get_ports {dac_1[12]}]
set_property PACKAGE_PIN J18 [get_ports {dac_1[13]}]
set_property PACKAGE_PIN G15 [get_ports {dac_1[14]}]
set_property PACKAGE_PIN H15 [get_ports {dac_1[15]}]
```



## 転送コア

コアは書き込み専用です。チップからコンフィギュレーションを読み出すことはありません。s\_axis\_tready 信号は、コアがいつメッセージの送信を終了し、新しいメッセージを送信する準備ができたかを判断するために使用できます。

コアは1、2、3または4バイトのデータを送信できる。転送するバイト数は、cmd バイトのビット B2 と B3 を使用して、以下の表に従って指定します。

N1	N0	Description
0	0	Transfer one byte
0	1	Transfer two bytes
1	0	Transfer three bytes
1	1	Transfer four bytes

Configuration SPI byte transfer count

チップ・セレクト・アドレスは、cmd バイトの B0 ビットと B1 ビットを使用して、下表に従って指定します。

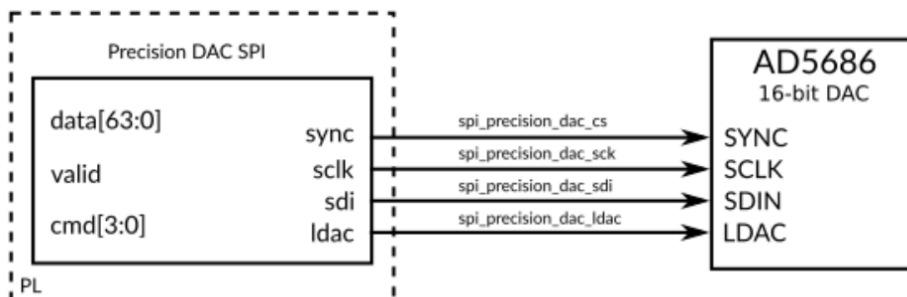
A1	A0	Description
0	0	CS = 0
0	1	CS = 1

Configuration SPI chip select address

転送されたデータはs\_axis\_tdataピンに配線されなければならない、転送は s\_axis\_tvalid ピンの立ち下がりエッジでトリガーされます。コアは SpiConfig ドライバで制御されます。

## 精密DAC SPIバス

精密DACへのデータ転送は、最大50MHzまでクロックアップ可能なSPIバスを使用して行われます。さらに、ラッチピンLDACピンを使用して、4チャンネル出力を同期的に更新します。リファレンス・デザインでは、専用のHDLコアが使用されています。インターフェースを以下に示します。



ALPHA15 Precision DAC SPI bus

## 制約ファイル

高精度DAC SPIピンはバンク34に1.8VのLVCMOS信号で接続されています。

```
# Precision DAC (Bank 34)
set_property IOSTANDARD LVCMOS25 [get_ports spi_precision_dac_*]

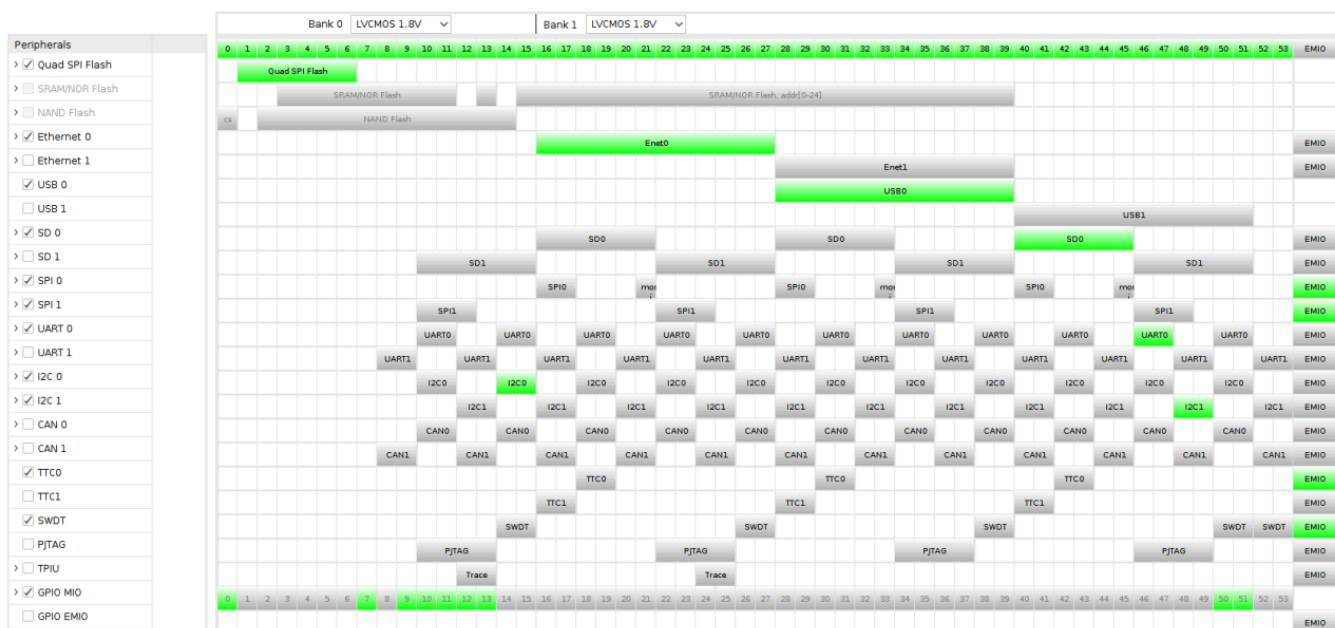
set_property PACKAGE_PIN V17 [get_ports spi_precision_dac_cs]
set_property PACKAGE_PIN V18 [get_ports spi_precision_dac_sck]
set_property PACKAGE_PIN T17 [get_ports spi_precision_dac_sdi]
set_property PACKAGE_PIN R18 [get_ports spi_precision_dac_ldac]
```

## 転送コア

validがHighの間、コアはピンデータの値でDACチャンネルを更新します。データ・ピンの64ビットは、4つのチャンネルに設定される4×16ビットの値の連結を含みます。チャンネル0は最下位16ビットで、チャンネル1、2、3と続く。4チャンネルのデータを送信した後、コアはldacをラッチします。cmd = 1の場合、データは同期的に更新され、cmd = 3の場合、新しい値が到着すると出力が更新されます。コアはVerilogで書かれています。PrecisionDacドライバで制御されます。

## PSコア

処理システムにはハードコアが含まれています（PL上に配置できるソフトコアとは対照的です）。PSコアはバンク0のMIOピンとインターフェースされています。ロジックレベルはLVCMOS 1.8Vです。MIOコンフィギュレーションはボード・コンフィギュレーション・ファイルで確認できます。



ALPHA15 Zynq peripheral I/O pins in Xilinx Vivado

PSの制約ファイルは：

```
set_property CFGBVS GND [current_design]
set_property CONFIG_VOLTAGE 1.8 [current_design]
```

## I2C0

このバスはALPHA250内部で使用され、拡張コネクタからはアクセスできません。I2C0バスのアドレッシングは次のとおりです：

- 1100100 / 1011100: Secure EEPROM
- 1010001: RTC registers
- 1010100: User EEPROM
- 0100000: GPIO expander
- 1000001: Main power supply monitor
- 1000101: Clocking subsystem supply monitor
- 1001000: Voltage reference temperature sensor
- 1001001: Board temperature sensor
- 0101111: TCXO control voltage

## I2C1

I2C1バスは拡張コネクタ用です。2.2kΩプルアップ付き3.3Vレベルシフターがバンク0とのインターフェースを提供します。I2C1コアは、適切なPSコンフィギュレーションにより、CANコアCAN0に置き換えることができます。

## ENET0

イーサネット・ペリフェラルはENET0 MACコアとインターフェースされます。

## USB0

USB 2コネクタはUSB0コアとインターフェースされています。

## SD0

SDカードはSD0コアとインターフェースされています。

## UART0

シリアルポートデバッグUSBインターフェースはUART0コアに接続されます。